

#4/Priority
Dk
12/18/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

PATENT

In re application of: **Yoshikazu IBARA et al.**

Serial No.: **Not Yet Assigned**

Filed: **June 28, 2001**

For: **METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICES**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

June 28, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

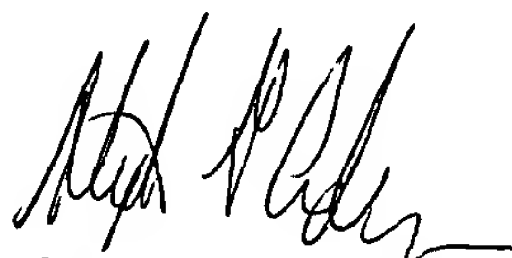
Japanese Appln. No. 2000-201248, filed July 3, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

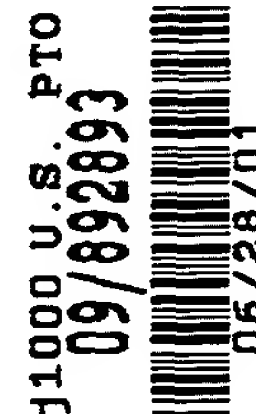
In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 010834
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/yap



日本国特許庁
JAPAN PATENT OFFICE

J1000 U.S. PTO
09/892893
06/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2000年 7月 3日

出願番号
Application Number:

特願2000-201248

出願人
Applicant(s):

三洋電機株式会社

2001年 5月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3039925

【書類名】 特許願

【整理番号】 NBC1002067

【提出日】 平成12年 7月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28 301

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 井原 良和

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 山口 恵一

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東
京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 0 - 2 0 1 2 4 8

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体装置にシリサイドを備える導電部を形成する方法において、

前記導電部となるパターン化された半導体膜の上方から金属を堆積する工程と、前記半導体膜に対して熱処理を施す工程と、未反応金属を除去する工程とを各々複数回繰り返すことを特徴とする半導体装置の製造方法。

【請求項 2】 基板上に半導体からなるゲート電極を形成し、同ゲート電極の側壁にスペーサを形成した後、前記基板上方から金属を堆積して熱処理を施すことによって自己整合的に同ゲート電極等の導電部にシリサイドを生成する半導体装置の製造方法において、

前記金属を堆積して熱処理を施し、その未反応金属を除去する工程を複数回繰り返すことを特徴とする半導体装置の製造方法。

【請求項 3】 前記ゲートは、その高さが 1000Å ～ 2500Å であり、前記繰り返される各熱処理は 600°C ～ 720°C の温度領域にて行われる請求項 2 記載の半導体装置の製造方法。

【請求項 4】 請求項 1 ～ 3 のいずれかに記載の半導体装置の製造方法において、

前記金属を堆積して熱処理を施し、その未反応金属を除去する工程を複数回繰り返した後、前記熱処理に用いた温度よりも高い温度にて追加熱処理を施すことを特徴とする半導体装置の製造方法。

【請求項 5】 前記シリサイド化されるパターン化された半導体は、 n 型半導体であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、詳しくは半導体装置の導電部にシリサイドを形成する方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置の高集積化によって、これに搭載される各半導体素子の微細化がますます重要なものとなってきている。そして、この微細化により、各素子電極等の導電部の電氣的な抵抗及びそのばらつきが新たな問題ともなっている。例えばMOS型トランジスタにおいては、ゲートや、ソース及びドレインの各導電部自体、その配線抵抗や寄生抵抗が大きく、上記微細化に伴って、これらの電気抵抗に起因する配線遅延やコンダクタンス劣化が無視できない要素となってきている。そこで従来は、上記各電極の表面を金属元素と化合させたシリサイド構造とすることで、こうした配線遅延やコンダクタンス劣化を低減する技術も実用されている。また、このシリサイドを上記各電極の表面に選択的且つ自己整合的に形成する、いわゆるシリサイド構造も近年よく採用されている。

【 0 0 0 3 】

このシリサイドに際しては通常、(a) 多結晶シリコンからなるゲート電極の側壁に酸化シリコン (SiO_2) からなるスペーサを形成する、(b) その後、素子全面に金属を堆積し、これを熱処理して自己整合的にゲート、ソース及びドレインの各導電部をシリサイド化する、(c) 残留した未反応金属を除去する、といった処理が行われる。

【 0 0 0 4 】

【発明が解決しようとする課題】

ところで、上記 (b) の工程におけるシリサイド化は固相拡散を利用して行われるため、同シリサイド化に際しては、スペーサ上又は素子分離領域上へもシリサイド膜が形成されてしまう現象である、いわゆるブリッジングが起きるおそれがある。このようにシリサイド化の工程においてブリッジングが生じると、導電部間を電氣的に遮断すべく絶縁物が設けられているにもかかわらず、同導電部間をシリサイド化された物質が電氣的に導通させてしまい、半導体素子としての機能を果たさなくなる。なおこのブリッジングは、ゲートの高さが小さくなる等、半導体素子の微細化に伴って生じ易くなる。

【 0 0 0 5 】

そこで、通常、シリサイド構造を有する半導体装置の製造に際しては、上記ブリッジが生じない温度領域にて一度熱処理を行うことで上記導電部のシリサイド化を行い、未反応金属を除去した後、追加熱処理を行うことにしている。すなわち、ブリッジが生じない温度領域において、前記導電部に一旦高抵抗のシリサイド膜を形成した後、未反応金属を除去することで絶縁膜上の導電物質を除去する。その後、追加熱処理を施すことで、上記高抵抗のシリサイド膜から低抵抗のシリサイド膜を形成する。

【0006】

ただし、半導体装置の更なる微細化が進むにつれて、次のような問題も無視できないものとなってきた。すなわち、半導体装置のシリサイド化される導電部が微細化されるにつれて、同素子電極の単位面積当たりの抵抗値が大きくなる、いわゆる細線効果と呼ばれる現象が生じるという問題である。そして、このような細線効果が生じる程度に微細化が進んだ半導体装置では、シリサイド化に際して上述した2段階の熱処理工程を踏んだとしても、所望とする抵抗特性を有するシリサイド膜を得ること自体が困難なものとなっている。

【0007】

このように、半導体装置の微細化を更に促進していく際に、シリサイド構造の適切な形成手法に関しては様々な改良が望まれている。

本発明はこうした実情に鑑みてなされたものであり、その目的は、半導体装置の素子電極等の導電部をシリサイド構造にて形成する場合に、その微細化を好適に促進することのできる半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項1に記載の発明は、半導体装置にシリサイドを備える導電部を形成する方法において、前記導電部となるパターン化された半導体膜の上方から金属を堆積する工程と、前記半導体膜に対して熱処理を施す工程と、未反応金属を除去する工程とを各々複数回繰り返すことをその要旨とする。

【0009】

上記製造方法によれば、上記金属を堆積する工程と熱処理を施す工程と未反応金属を除去する工程とを複数回繰り返すことで、半導体装置の素子サイズが微細化した場合であれ、熱処理において用いる温度をさほど上げることなく、ブリッジングを回避しつつ導電部にシリサイドを形成することができるようになる。

【 0 0 1 0 】

請求項 2 記載の発明は、基板上に半導体からなるゲート電極を形成し、同ゲート電極の側壁にスペーサを形成した後、前記基板上方から金属を堆積して熱処理を施すことによって自己整合的に同ゲート電極等の導電部にシリサイドを生成する半導体装置の製造方法において、前記金属を堆積して熱処理を施し、その未反応金属を除去する工程を複数回繰り返すことをその要旨とする。

【 0 0 1 1 】

上記製造方法によれば、自己整合的にシリサイドを形成する際に問題となるブリッジング現象を回避することのできる温度領域にて熱処理を施しつつ、シリサイドを確実に形成することができるようになる。

【 0 0 1 2 】

請求項 3 記載の発明は、請求項 2 記載の発明において、前記ゲートは、その高さが $1000\text{ \AA} \sim 2500\text{ \AA}$ であり、前記繰り返される各熱処理は $600^{\circ}\text{C} \sim 720^{\circ}\text{C}$ の温度領域にて行われることをその要旨とする。

【 0 0 1 3 】

上記製造方法によれば、ゲートの高さが $1000\text{ \AA} \sim 2500\text{ \AA}$ である素子に対して、上記繰り返される各熱処理を $600^{\circ}\text{C} \sim 720^{\circ}\text{C}$ の温度領域にて行うことでブリッジング現象を好適に抑制することができるようになる。

【 0 0 1 4 】

請求項 4 記載の発明は、請求項 1 ～ 3 のいずれかに記載の発明は、前記金属を堆積して熱処理を施し、その未反応金属を除去する工程を複数回繰り返した後、前記熱処理に用いた温度よりも高い温度にて追加熱処理を施すことをその要旨とする。

【 0 0 1 5 】

上記製造方法によれば、金属を堆積して熱処理を施し、その未反応金属を除去

する工程を複数回繰り返した後、前記熱処理に用いた温度よりも高い温度にて追加熱処理を施すことで、確実に低抵抗のシリサイドを形成することができるようになる。

【 0 0 1 6 】

請求項 5 記載の発明は、請求項 4 記載の発明において、前記シリサイド化されるパターン化された半導体は、 n 型半導体であることをその要旨とする。

n 型半導体においては、シリサイド化を施す導電部の面積が微細化するにつれて単位面積当たりの抵抗が顕著に上昇する。

【 0 0 1 7 】

この点、上記製造方法によれば、 n 型半導体のシリサイド化に請求項 4 の方法を適用することで、微細化に伴って単位面積当たりの抵抗が上昇する問題を好適に抑制することができるようになる。また、この製造方法は、上記請求項 4 記載の製造方法にとってその作用効果が最も顕著となる製造方法でもある。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明にかかる半導体装置の製造方法を MOS (Metal Oxide Semiconductor) 型トランジスタの製造方法に具体化した一実施形態について図面を参照しつつ説明する。

【 0 0 1 9 】

図 1 は、本実施形態にかかる半導体装置の製造方法についてその製造手順を示す図である。

この製造に際してはまず、図 1 (a) に示すように、周知の MOS 型トランジスタの製造方法に従って、シリコン基板 1 上に絶縁部や導電部を形成する。すなわち、例えば、シリコン基板 1 上に、同基板 1 を各素子領域に分離する (酸化シリコン) SiO_2 からなる分離酸化膜 2 を形成する。次に、同各素子領域に SiO_2 からなるゲート酸化膜 3、ゲート電極 4 となるポリシリコン膜を膜幅 d (この例では $0.25\mu\text{m}$) にて積層形成し、更に、これらゲート酸化膜 3 及びポリシリコン膜の側壁に SiO_2 からなるスペーサ 5 を形成する。そして、基板 1 の上方から n 型の不純物を注入することで、前記導電部としてのゲート電極 4 や、

ソース領域 7、ドレイン領域 8 を形成する。

【 0 0 2 0 】

上記態様にて絶縁部や導電部を形成した後、図 1 (b) に示すように、チタン薄膜 9 をスパッタ法にて 3 0 0 Å 堆積する。その後、図 1 (c) に示すように、ランプアニール (Rapid Thermal Annealing、以下 R T A) 装置によって、窒素 (N_2) 雰囲気中、7 0 0 °C で 1 0 秒間の熱処理を施した後、アンモニアと過酸化水素水の混合溶液によって、前記導電部と反応しなかったチタンを除去する。このようにして、ブリッジングを回避しつつ、上記ゲート電極 4 やソース領域 7、ドレイン領域 8 の上表面に C 4 9 相からなる高抵抗のチタンシリサイド膜 4 s'、7 s'、8 s' をそれぞれ形成する。

【 0 0 2 1 】

次に、図 1 (d) に示すように、先の図 1 (b) に示した工程と同様、再度チタン薄膜 9' を 3 0 0 Å 堆積する。そして、先の図 1 (c) に示した工程と同様にして、R T A 装置による N_2 雰囲気中、7 0 0 °C で 1 0 秒間の熱処理、アンモニアと過酸化水素水の混合溶液による未反応チタンの除去といった工程を繰り返す。このようにして、ブリッジングを回避しつつ、上記ゲート電極 4 やソース領域 7、ドレイン領域 8 の上表面に、十分な膜厚の C 4 9 相からなる高抵抗のチタンシリサイド膜をそれぞれ形成する。その後、R T A 装置にて N_2 雰囲気中、8 5 0 °C で 3 0 秒の追加熱処理を施すことで、図 (e) に示されるように、上記ゲート電極 4 やソース領域 7、ドレイン領域 8 の上表面に、C 5 4 相からなる低抵抗のチタンシリサイド膜 4 s、7 s、8 s を得る。

【 0 0 2 2 】

続く工程については、周知の M O S 型トランジスタの製造方法と同様に行われる。

次に、上記工程によって得られるチタンシリサイド膜 4 s、7 s、8 s の特性について、発明者等による実験結果を図 2 に示す。

【 0 0 2 3 】

同図 2 は、上述した (イ) チタン薄膜の堆積、(ロ) N_2 雰囲気中における 7 0 0 °C で 1 0 秒間の熱処理、(ハ) 未反応チタンの除去、といった 3 つの工程を

従来どおり 1 回のみ行った場合と、同 3 つの工程を上記の例のように 2 回繰り返した場合、そして更には同 3 つの工程を 3 回繰り返した場合のそれぞれについて、ゲートの幅とゲート電極上に形成されたシリサイド膜の単位面積当たりの抵抗値との関係を示している。なおここで、ゲートの幅とは、先の図 1 に示される膜幅 d のように、一般的に長方形に形成されるゲートの短辺方向の長さで定義してある。

【 0 0 2 4 】

同図 2 から明らかなように、従来同様に上記 3 つの工程を一回のみ行ってゲート電極上にシリサイド膜を形成する場合（図 2 の一点鎖線参照）よりも、同 3 つの工程を 2 回行ってシリサイド膜を形成する場合（図 2 の実線太線参照）の方が、ゲートの幅が小さくなる際に生じるシリサイド膜の単位面積当たりの抵抗値の上昇が抑制されるようになる。また、上記 3 つの工程を 3 回行って同シリサイド膜を形成した場合（図 2 の実線細線参照）には、同抵抗値の上昇がいっそう抑制されている。もっとも、上記 3 つの工程については、上記の例の場合、これを 2 回繰り返すことで C 5 4 相からなる低抵抗のチタンシリサイド膜が得られているため、同例のように膜幅 d が「 $0.25\mu\text{m}$ 」程度のものでは、この繰り返し回数としても 2 回で必要十分ではある。そして、これから更に微細化が進む場合に、3 回以上の繰り返し回数が有効になってくる。

【 0 0 2 5 】

以上説明した本実施形態の製造方法によれば、以下の効果が得られるようになる。

（1）チタン薄膜の堆積、 700°C で 10 秒間の熱処理、未反応チタンの除去といった工程を複数回繰り返すことで、ブリッジングを回避しつつ確実にシリサイドを形成することができる。

【 0 0 2 6 】

（2）未反応チタンを除去した後に追加熱処理を施すことによって C 5 4 からなる低抵抗なチタンシリサイド膜を形成することができるようになる。

（3） N_2 雰囲気中で熱処理を施すことで、チタンとシリコンとが反応することによって生じるチタン薄膜の膜厚のバラツキを好適に抑制することができ、シ

リサイド化をいっそう好適に行うことができる。

【 0 0 2 7 】

なお、上記実施形態は、以下のように変更して実施してもよい。

・上記実施形態においては、シリサイド化を好適に行うべく N_2 雰囲気中にて熱処理を施したが、アルゴン雰囲気中又はアンモニア雰囲気中等にて熱処理を施してもよい。更に、こうした雰囲気に浸すことなく熱エネルギーを供給することでチタンとシリコンとの反応を生じさせるようにしてもよい。

【 0 0 2 8 】

・上記シリサイド形成のための処理として、チタン薄膜を 300Å 堆積し、 700°C で 10 秒間の熱処理を施したが、この値は適宜変更して実施してもよい。例えば、ゲートの高さが $1000\text{Å} \sim 2500\text{Å}$ 程の素子サイズを有する半導体装置の製造に際しては、1回当たり $200\text{Å} \sim 400\text{Å}$ のチタン薄膜を堆積し、 $600^\circ\text{C} \sim 720^\circ\text{C}$ 程で 10 秒間の熱処理を施すことが望ましい。更に、上記熱処理時間についても、例えばチタン薄膜及びその周辺に供給される熱エネルギーを一定にするなど熱処理に用いる温度との兼ね合いを考慮しつつ、適宜変更することができる。

【 0 0 2 9 】

・また、追加熱処理における温度や処理時間の設定態様についてもこれに限られない。例えば、ゲートの高さが $1000\text{Å} \sim 2500\text{Å}$ 程の素子サイズを有する半導体装置の製造に際しては、 $800^\circ\text{C} \sim 900^\circ\text{C}$ の温度において、 10 秒から 60 秒の処理時間にて熱処理を施すことが望ましい。

【 0 0 3 0 】

・更に、上記熱処理は、必ずしも R T A 装置を用いたものに限られない。ヒータやレーザ等、要はチタン薄膜及びその周囲に熱エネルギーを供給することができればよい。

【 0 0 3 1 】

・上記実施形態においては、 n 型半導体表面をシリサイド化する例について示したが、 p 型半導体表面のシリサイド化に本発明を適用してもよい。図 3 に、先の図 1 に示す手順に準じた手順にて p 型半導体表面をシリサイド化した場合につ

いて、ゲート電極表面に形成されたシリサイド膜の膜厚と、同シリサイド膜の単位面積当たりの抵抗値との関係を示す。同図3に示されるように、p型半導体表面のシリサイド化に関しては、もともと細線効果が生じにくいものの、この場合も、チタン薄膜の堆積、 N_2 雰囲気中における700℃で10秒間の熱処理、未反応チタンの除去といった工程を複数回繰り返すことで、同抵抗値の上昇が抑制されることがわかる。

【0032】

・上記実施形態においては、未反応チタンを除去した後に追加熱処理を施したが、これについては必ずしも行わなくてもよい。この場合にも、チタン薄膜の堆積、熱処理、未反応チタンの除去といった工程を複数回繰り返すことで、ブリッジングを回避しつつシリサイドを形成することはできる。

【0033】

・上記実施形態においては、チタンを用いてシリサイドを形成したが、これに限られない。例えば、コバルト (Co)、ニッケル (Ni) 等、シリサイド化において一般に用いられている金属や、モリブデン (Mo)、タングステン (W)、タンタル (Ta)、ハフニウム (Hf)、ジルコニウム (Zr)、ニオブ (Nb)、バナジウム (V)、レニウム (Re)、クロム (Cr)、白金 (Pt)、イリジウム (Ir)、オスミウム (Os)、ロジウム (Rh) 等の金属も同様に用いることができる。

【0034】

・上記実施形態においては、MOS型トランジスタのゲート電極や、ソース領域、ドレイン領域に自己整合的にシリサイドを形成する場合に、本発明を適用したがこれに限られない。要は、何らかの理由で金属と半導体とを熱処理にて反応させ、シリサイドを形成する半導体装置の製造方法であれば、本発明を適用することはできる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法の一実施形態について、その製造手順を示す断面図。

【図2】 n型半導体に形成されるシリサイド膜についてその膜幅と抵抗との

関係を示すグラフ。

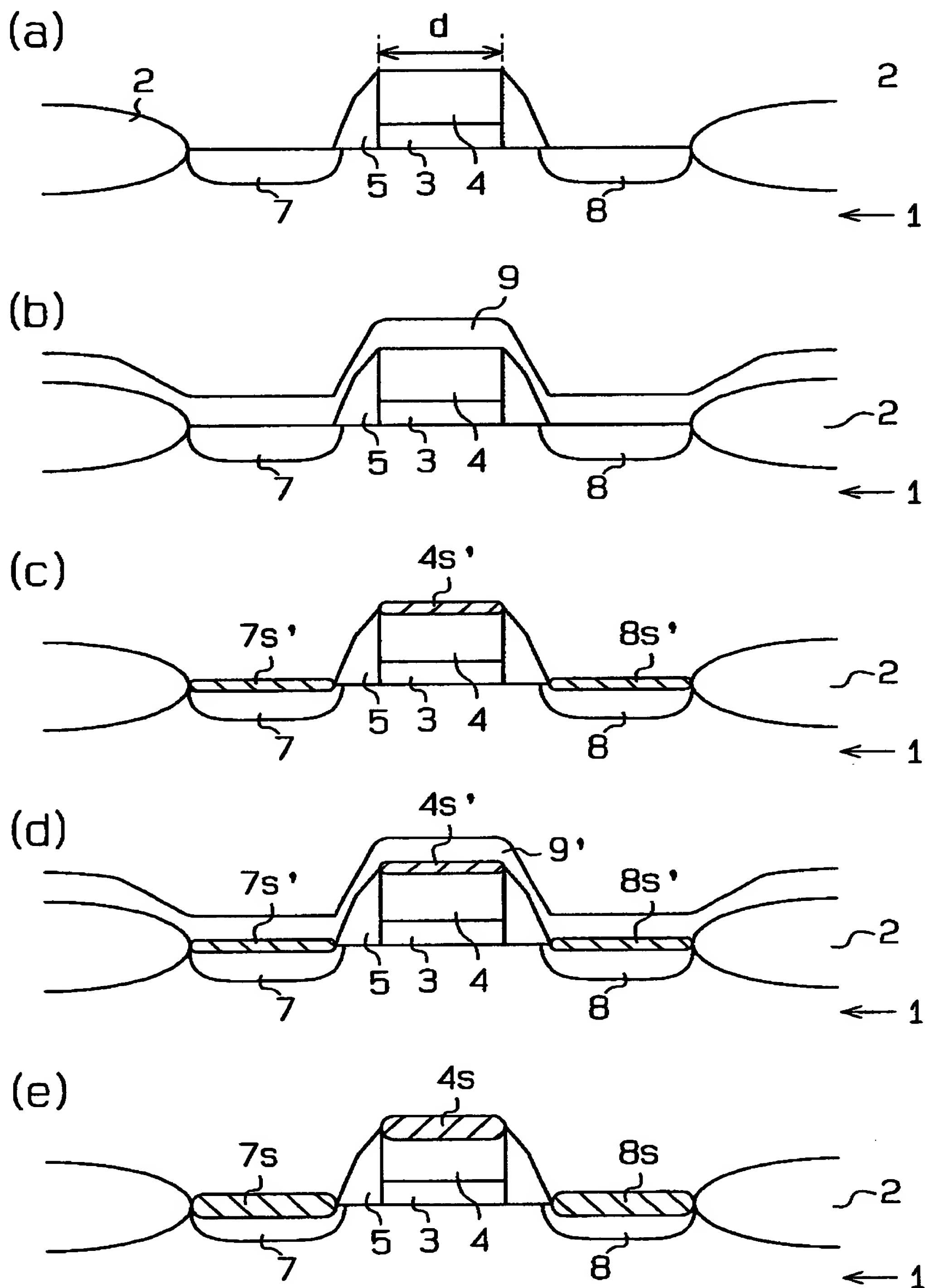
【図 3】 p 型半導体に形成されるシリサイド膜についてその膜幅と抵抗との関係を示すグラフ。

【符号の説明】

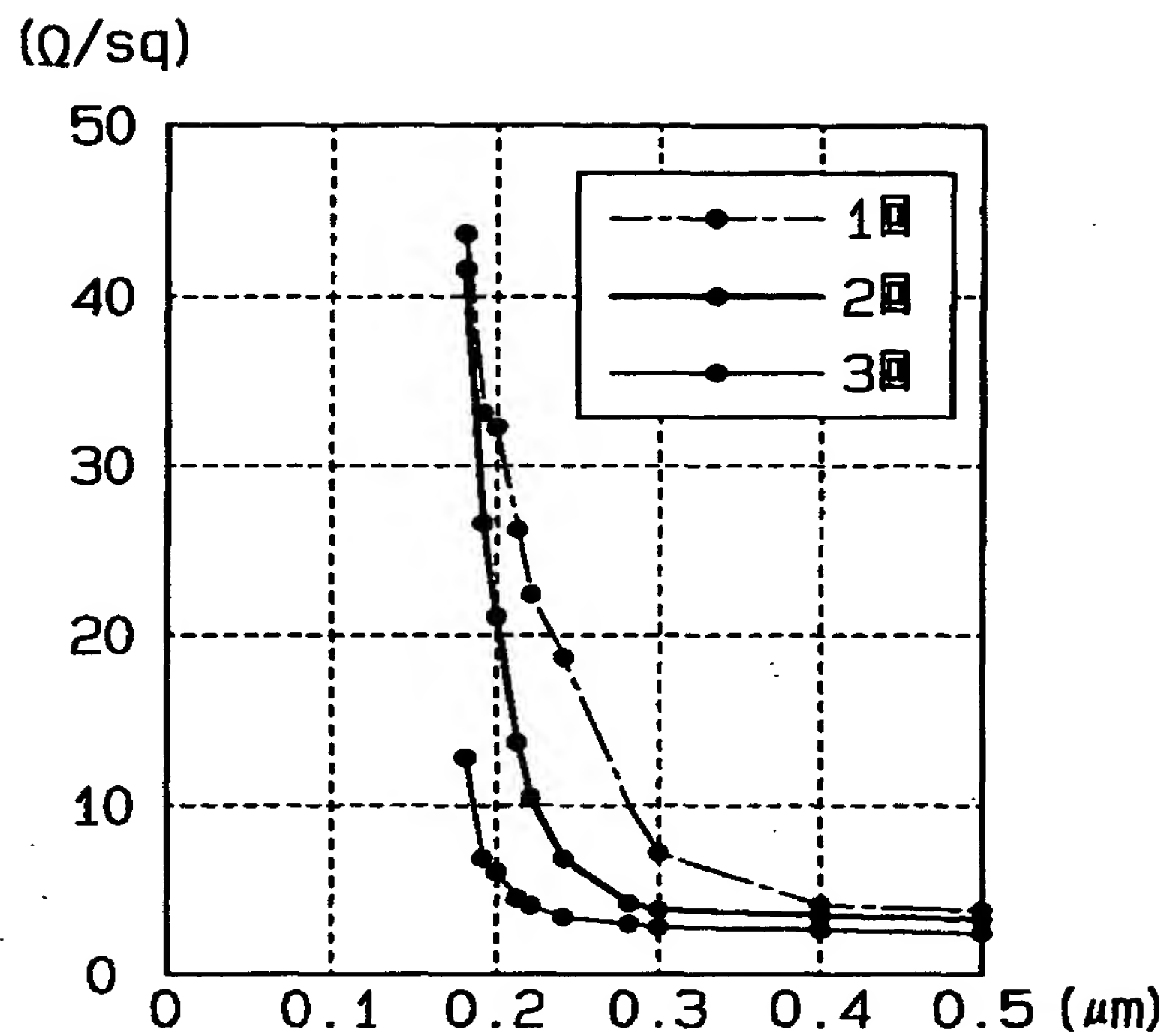
1 … シリコン基板、 2 … 分離酸化膜、 3 … ゲート酸化膜、 4 … ゲート電極、 5 … スペース、 7 … ソース領域、 8 … ドレイン領域、 4 s、 7 s、 8 s … チタンシリサイド膜、 9 … チタン薄膜。

【書類名】 図面

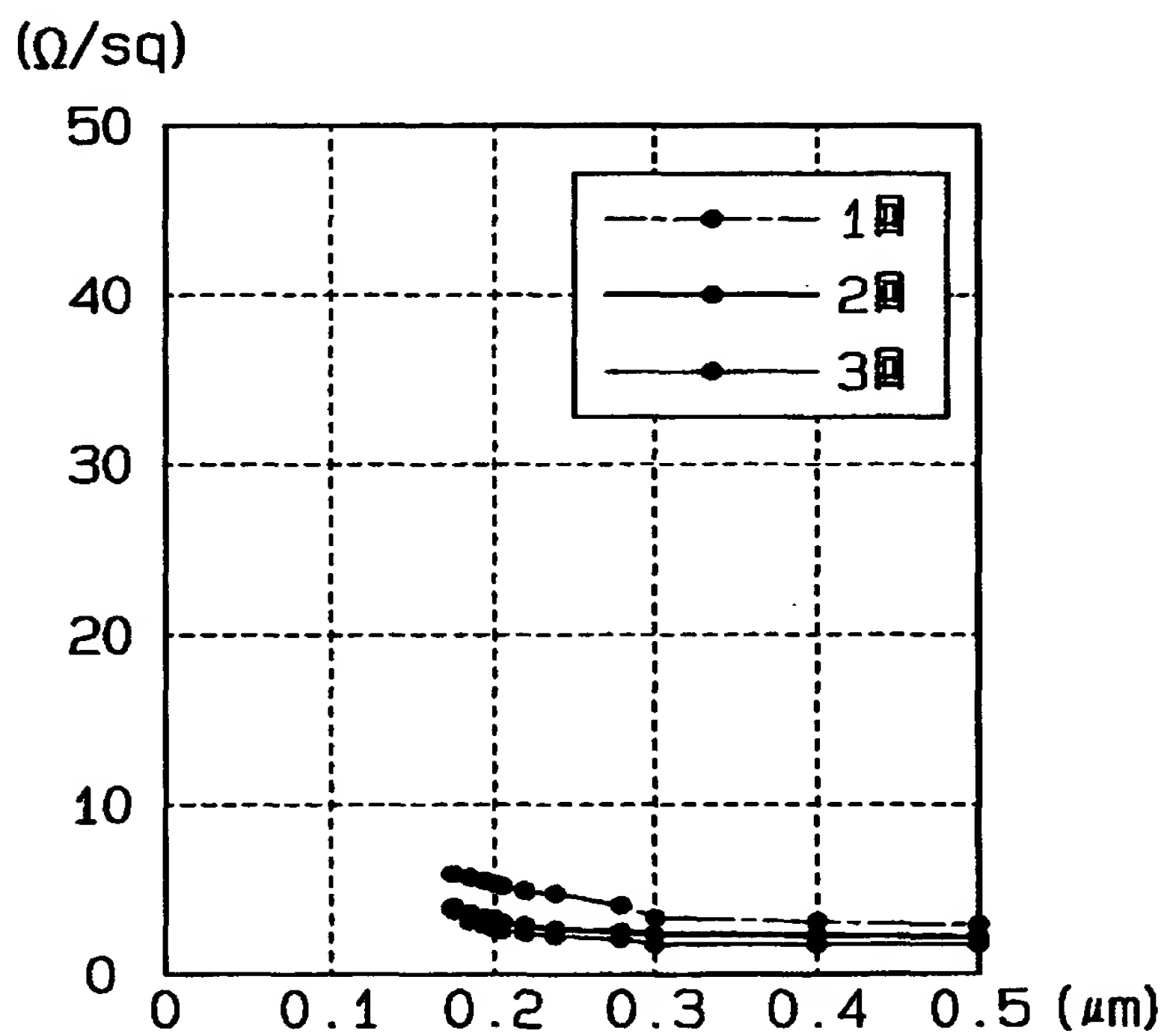
【図1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】半導体装置の素子電極等の導電部をシリサイド構造にて形成する場合に、その微細化を好適に促進することのできる半導体装置の製造方法を提供する。

【解決手段】基板 1 上に、ゲート電極 4 やソース領域 7、ドレイン領域 8 を形成し、ゲート電極 4 の側壁にスペーサ 5 を形成する（図 1（a））。次に、チタン薄膜 9 を 3 0 0 Å 程堆積し（図 1（b））、 N_2 雰囲気中に、7 0 0℃で 1 0 秒間の熱処理を行った後未反応チタンを除去する（図 1（c））。これらチタン薄膜の堆積から未反応チタンの除去までの処理を複数回繰り返す（図 1（d））。その後、 N_2 雰囲気中に、8 5 0℃で 3 0 秒間の追加熱処理を施して低抵抗のシリサイド膜 4 s、7 s、8 s を生成する（図 1（e））。

【選択図】 図 1

特 2 0 0 0 - 2 0 1 2 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名 三洋電機株式会社